# TEMA 4. Procesador. Problemas de clase

**Problema 16** de enunciados propuestos **(variante)**

Se muestra en la figura 7 de la colección de problemas el esquema del procesador de un computador, con palabras y direcciones de 32 bits y unidad de control cableada, que dispone de tres buses internos y tres registros transparentes. El direccionamiento de la memoria es a nivel de byte y su tiempo de acceso es de 10,5 ns. Por simplificación de la figura, no aparecen dibujadas las señales de control.

Considerando un ciclo de reloj de 4 ns y dada la instrucción de dos palabras **ST .R1, /5000**, en la que la dirección se encuentra en la segunda palabra, responda a las siguientes cuestiones.

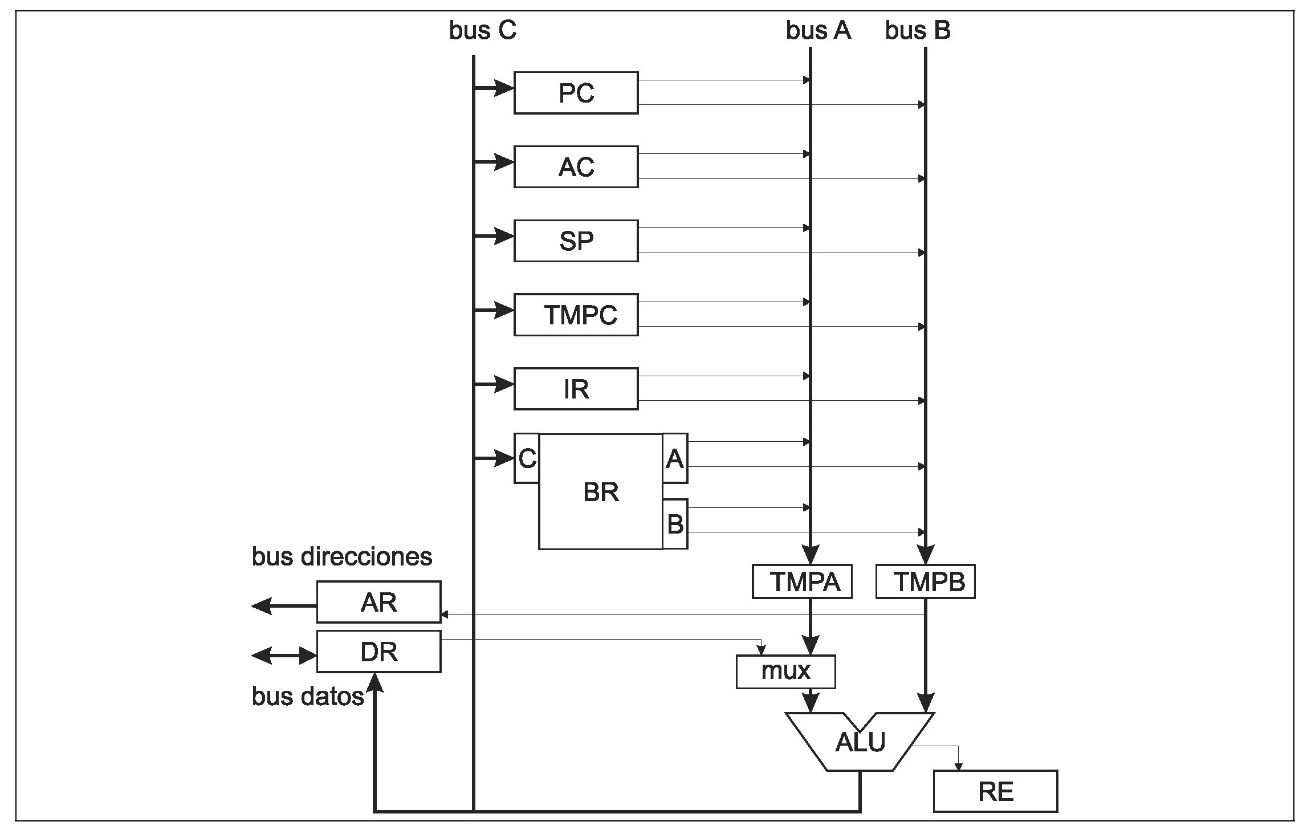


Figura 7

1. Explique cuántos accesos a memoria se realizan durante su ejecución, indicando si son de lectura o de escritura. Incluya la fase de fetch de la siguiente instrucción.

3 accesos a mem, 2 lect para leer la instr y 1 escr (ST) + fetch sig. Instrucción

Leer 2 pal, escr dato, leer 1ª pal de sig instr

1. Exprese a nivel RT (transferencia entre registros) las operaciones elementales que se producen en cada ciclos de reloj, incluyendo los ciclos debidos al fetch.

Acc mem-> 3 ciclos reloj

1.- decod

2.- leer 2ª pal: PC->TMPB

3.- TMPB->AR

4.- M(AR)-> ;

5.- M(AR)-> ; ~~PC-> TMPB~~

6.- M(AR)->DR; TMPB+4->PC

7.- ; escr dato = R1 en dir 5000

DR+0->TMPC ; BR(R1)->TMPA

8.- TMPC->TMPB

9.- TMPB->AR; TMPA->DR

10.- DR->

11.- DR->

12.- DR->M(AR); ir a fetch

Fetch:

f1.- PC->TMPB

f2.- TMPB->AR

f3.- M(AR)-> ;

f4.- M(AR)-> ; ~~PC-> TMPB~~

f5.- M(AR)->DR; TMPB+4->PC

f6.- DR+0->IR; ir a CO

Si mem asíncrona:

f3-4-5.- M(AR)->DR; TMPB+4->PC; Si not RDY ir a f3-4-5

1. Calcule el tiempo que tarda en ejecutarse la instrucción anterior. Justifique su respuesta.

Teje= 18c = 18c· 4ns = 72 ns

Si mem asíncrona: necesitamos Tmedio de acceso a mem en nro ciclos

Tmedioeje= …

1. ¿En esta CPU sería posible ejecutar una instrucción con algún operando indicado con modo de direccionamiento relativo a registro?

Sí es posible, pero con varias op elem. Dato= M(desp+Rb)

IR.desp->TMPA; BR(Rb)->TMPB

TMA+TMPB->TMPC

TMPC->TMPB

TMPB->AR

M(AR)->DR

1. Si ha indicado que es posible en el apartado anterior, desglose en operaciones elementales la instrucción **ST .R1, #4[.R2]** (es de una palabra, al no necesitar un campo de dirección de palabra completa). Calcule el tiempo que tarda en ejecutarse esta instrucción. Justifique su respuesta.

Qué hace R1-> **M**(4+R2)

1.- decod

2.- IR.desp->TMPA; BR(R2)->TMPB

3.- TMA+TMPB->TMPC

4.- TMPC->TMPB

5.- TMPB->AR ; BR(R1) -> TMPA

6.- TMPA+0 -> DR

7.- DR->**M**(AR) 3 ciclos

Teje= 7ciclos + 2 c + 6c (fetch) = 15 c = 15c ·4ns = 60 ns

1. Desde el punto de vista del rendimiento, ¿cuál de las dos instrucciones anteriores sería mejor usar en un programa? Justifique la respuesta

Con dir rel

**Problema 20**

Sea la CPU cuyo esquema simplificado aparece en la figura 8. La ALU, todos los registros, rutas de datos y de direcciones son de 32 bits.

* PC: Reg. contador de programa SP: Reg. puntero de pila
* AR: Reg. de direcciones DR: Reg. de datos
* IR: Reg. de instrucción SR: Reg. de estado
* Z: registro transparente
* BRegs: banco de registros de propósito general, R0..R7

Suponiendo que:

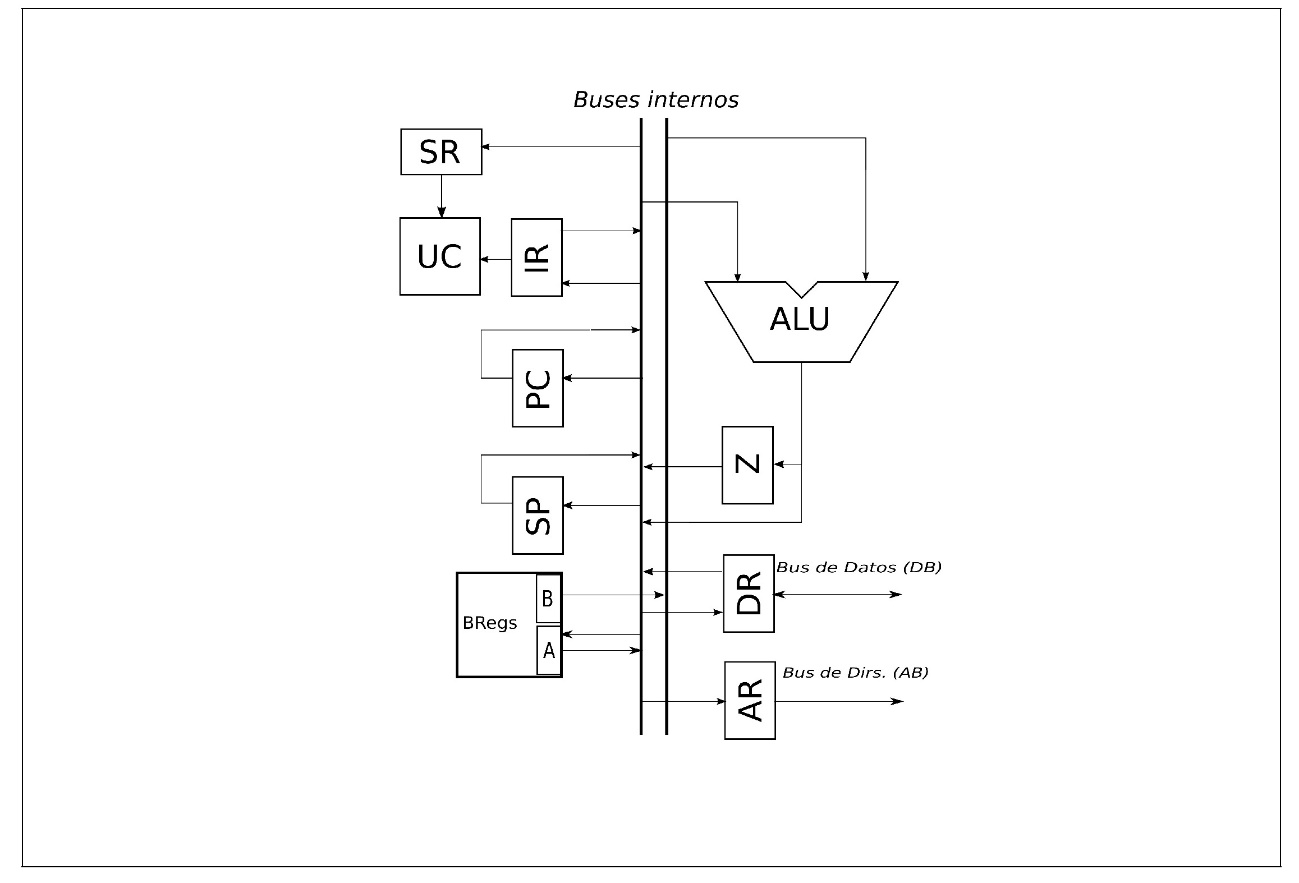
* el banco de registros dispone de dos puertas, A y B, que permiten a la UC seleccionar cualquier pareja de registros en cada ciclo.
* cada instrucción ocupa una palabra.
* el campo #desp de la instrucción se indica como IR.desp (campo del reg. De instrucción).
* la memoria es direccionable a palabra y necesita para operar dos ciclos de reloj.
* el tiempo de ciclo de reloj es 30 ns.
* la pila se llena hacia direcciones decrecientes y SP apunta a la primera dirección libre.

Figura 8

Se pide:

1. Realice la descomposición en operaciones elementales, indicando claramente las acciones que se realizan en cada ciclo de reloj, para:

* el fetch (común a todas las instrucciones.)
* las instrucciones que aparecen a continuación. Señale con fetch la secuencia anterior, que se supondrá al principio de cada instrucción. Indique claramente con el texto ACTUALIZAR SR los ciclos en que se deba actualizar el registro de estado, SR.

1. Fetch

f1.- PC->AR y PC+1->Z

f2.- **M**(AR)->DR; Z->PC (2c)

f3.- DR-> IR; ir CO

1. ST .R3, #12[.R5] R3->M(12+R5)

decod

IR.desp + BR(R5) -> Z

Z-> AR

BR(R3)-> DR

DR->**M**(AR); ir a Fetch (2c)

1. ADD .R2, .R4, .R6 R4+R6->R2; act SR

Dec

BR(R4)+BR(R6)->Z ; actSR

Z->BR(R2); ir a fetch

1. POP .R7 R7<-**M**(++.SP)

Dec

SP+1->Z

Z->SP y AR

**M**(AR)->DR (2c)

DR->R7; ir afetch

1. En función del resultado del apartado anterior, indique en cada caso el número total de ciclos –incluido el fetch– que tardaría en ejecutarse cada instrucción y su equivalente en tiempo.

ST -> 4+6 =10c·30ns= 300ns

ADD -> 4+3 =7c·30ns= 210ns

ST -> 4+6 =10c·30ns= 300ns

1. Indique si encuentra alguna posible modificación en esta estructura que permitiese reducir el número de ciclos necesarios para la ejecución de las instrucciones propuestas.

Si salida ALU va directamente a AR, se reduce 1c ADD y POP

**Problema 15**

En la figura 5 aparece la estructura de un procesador elemental, con palabras y direcciones de 64 bits, que dispone de dos buses internos, de un registro acumulador (RA) y en el que los registros de direcciones y de datos se denominan D y RM, respectivamente. La unidad de control es cableada. Los accesos a memoria tienen una duración de 2 ciclos de reloj y el direccionamiento es a nivel de byte. Los incrementos o decrementos de los registros, se realizan a través de la ALU.

1. Exprese a nivel RT (transferencia entre registros) las operaciones elementales que se producen, en cada ciclo de reloj, durante la ejecución de las siguientes instrucciones de una palabra, incluyendo la fase de fetch:

ST # 100, # 16[.R3]

BR #8[++.R4]

1. Considerando los siguientes retardos en los elementos del procesador, calcule el periodo de reloj de este computador y el tiempo que tardarían en ejecutarse cada una de las instrucciones anteriores.

* Lectura o escritura del Banco de registros: 4 unidades de tiempo (ut)
* Lectura o escritura de registros transparentes o específicos: 1 ut
* Operación de mayor duración de la ALU: 14 ut
* Multiplexores: 0,5 ut
* Puertas triestado: 0,1 ut



**DA DB OP XX XY ........**

**Control de E/S**

**Unidad**

**de Control**

**Señales de Control**

**RF**

**I**

**Reloj**

PO

FI

**= 0**

**< 0**

**Desbord. Acarreo Interr.**

**.**

**Inhib. Int. Núcl./Usu.**

FEST

TI

**Bus de Datos**

TM

FEM

TRM

TRA TA

**RM**

FLM

FD

FS

**SP**

**A'** CR

TS

TRD

TD

**RA**

FRA

**Bus de Direcciones**

TP

**Memoria**

**Principal**

**D**

Estado

**Operador**

**OP**

**Banco de**

**Registros**

**1 2 3 1 2 3 4**

XX **Mux. X** XY **Mux. Y**

CM L E

**B**

**A**

**PC**

FP

Figura 5 . Estructura del la CPU 4

**Estado Compa- rador**

**Oscilador**

Otras consultas:

CALL [.R1] inst salto está M(R1) => PC<- dir de la instr a la que saltar = R1

Salvar DR <> PUSH .PC <> PC-> **M**(--.SP) (si SP apunta ultimo dato y crece en dir decrecientes)

Antes de escr: **dato**=PC->DR

**Dir** -> AR SP-1->SP y AR

escribir

PC<- X=R1

CMP .R5, .R7 ; (modif SR.Z)

BZ [.R1]

Dec

Si **SR**.Z = 1: PC<-R1; ir a fetch

Si SR.Z = 0: ir a fetch

BNZ [.R1]

Dec

Si **SR**.NZ? = 1: SR.Z= 0 PC<-R1; ir a fetch

Si SR.NZ? = 0: SR.Z= 1 ir a fetch